

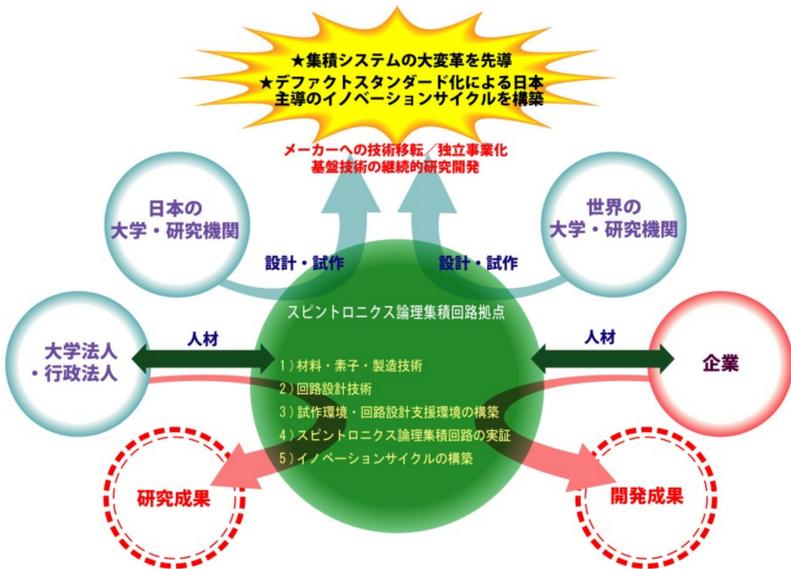
省エネルギー・スピントロニクス論理集積回路の研究開発

中心研究者 大野 英男(東北大学)

Key words: スピントロニクス、論理集積回路、低消費電力

研究のポイント

スピントロニクス素子と論理集積回路とを融合した革新的な省エネルギー論理集積回路を開発して論理集積回路の大変革・パラダイムシフトを起こし、更に、次世代半導体分野における我が国の国際的な競争力の強化に寄与するとともに、低炭素・省エネルギー社会の実現に貢献することを目的とする。



研究組織

東北大学



【研究支援機関】

省エネルギー・スピントロニクス集積化システムセンター (CSIS)

センター長 (中心研究者) : 大野 英男
副センター長 (研究推進副統括者) : 遠藤 哲郎
副センター長 (研究支援統括者) : 笠井 直記



CSIS 支援室 — 連携 — 科学技術振興機構

- スピントロニクス材料開発
- スピントロニクスデバイス開発
- 革新的スピントロニクス材料・デバイス研究開発
- スピントロニクス集積プロセス開発
- スピントロニクス論理集積回路動作検証・IP開発
- スピントロニクス論理集積回路設計手法・設計ツール開発
- スピントロニクス論理集積回路実証・拠点形成

【研究参加機関】

東北大学
日本電気
日立製作所
アルパック
物質・材料研究機構
東京大学
京都大学
ルネサスエレクトロニクス
コバレントシリコン
東京エレクトロン
エルピーダメモリ
宇宙航空研究開発機構

中核拠点

東北大学
ナノ・スピニング総合研究棟

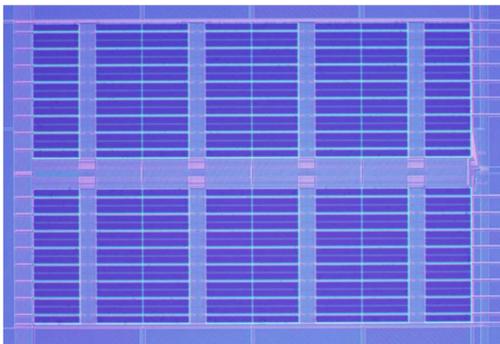


つくば分室

産業技術総合研究所
SCR棟

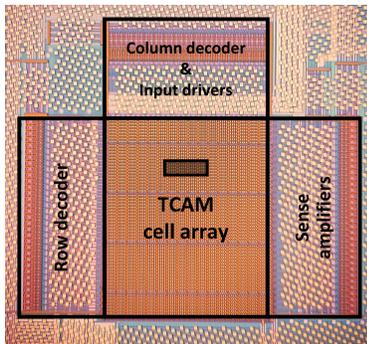


研究成果 (2011 IEEE IEDM および 2012 IEEE Symposia において論文発表)



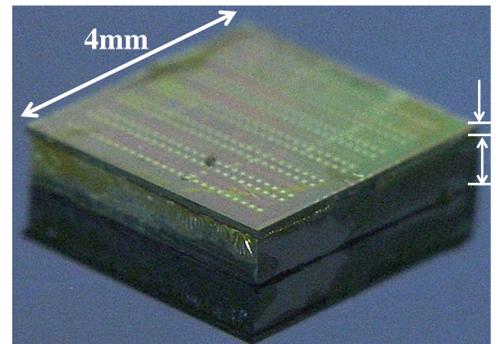
高速高集積不揮発性メモリ 1Mbチップ
(世界最高速待機モード切替)

【参考論文】T. Ohsawa, et al., Sym. VLSI Circuits, (2012).



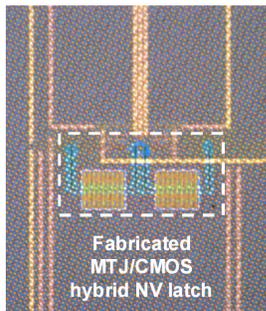
汎用検索集積回路TCAM 2Kbチップ
(世界最小面積@90nm世代)

【参考論文】S. Matsunaga, et al., Sym. VLSI Circuits, (2012).



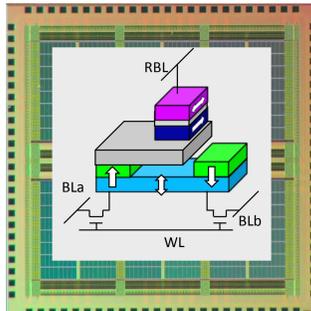
三次元積層型スピンプロセッサ
(回路再構成可能なチップ積層)

【参考論文】T. Tanaka, et al., Sym. VLSI Technology, (2012).



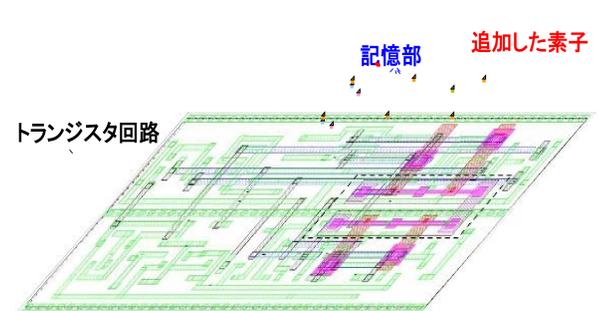
MTJ/CMOSハイブリッドラッチ回路
(世界最高速600MHz不揮発性スピン回路)

【参考論文】T. Endoh, et al., IEEE IEDM, (2011).



高信頼3端子スピン素子
(10年間データ保持@150°C)

【参考論文】S. Fukami, et al., Sym. VLSI Technology, (2012).



論理回路部品の高信頼性化
(多重スピントロニクス素子)

【参考論文】Y. Tsuji, et al., Sym. VLSI Technology, (2012).

「省エネルギー・スピントロニクス論理集積回路の研究開発」(中心研究者大野英男)は、総合科学技術会議により制度設計された最先端研究開発支援プログラムにより、日本学術振興会を通して助成されたものです。

【問合せ先】

東北大学 省エネルギー・スピントロニクス集積化システムセンター (ホームページ <http://www.csis.tohoku.ac.jp>)

つくば分室長 笠井 直記 n-kasai@csis.tohoku.ac.jp

