

分野：情報通信

キーワード：スピントロニクス、論理集積回路、省エネルギー

最先端研究開発支援プログラム (平成22年3月10日～平成26年3月31日)

省エネルギー・スピントロニクス論理集積回路の研究開発

研究開発の目的

中心研究者
研究支援担当組織
制度設計、審査・選定
基金管理運用、執行担当

大野 英男
国立大学法人 東北大学
内閣府・総合科学技術会議
日本学術振興会

スピントロニクス素子と論理集積回路とを融合した革新的な省エネルギー論理集積回路を開発して論理集積回路の大変革・パラダイムシフトを起こし、更に、次世代半導体分野における我が国の国際的な競争力の強化に寄与するとともに、低炭素・省エネルギー社会の実現に貢献することを目的とする。

開発項目とこれまでの成果

材料・素子・製造技術

回路設計技術

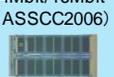
スピントロニクス論理集積回路の統合実証

デファクトスタンダード化に向けた体制構築

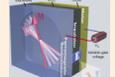
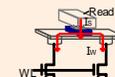
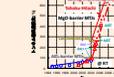
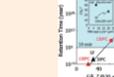
蓄積した個別技術を発展統合し、高集積化と回路規模の双方において継続的成長が可能な技術体系にステップアップ

これまでの成果

回路

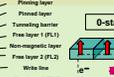
 Driving Recorder (i-EXPO2005)	 第一世代MRAM: 4Mbit/16Mbit (ASSCC2006) 2 Mbit SPRAM (ISSC 2007)	 250MHz-MRAM (ASSCC2007) 500MHz-MRAM (VLSI2007)	 Magnetic F/F (CICC2008) 3次元積層型reconfigurable 基本演算ユニット(IEDM 2008)	 世界初ロジックイン メモリ基本演算ユニット (APEX 2008)	 不揮発TCAMセル (APEX 2009)	 32Mb-MRAM (ISSCC2009)	 不揮発LUT回路ユニット (VLSI Circuit 2009)

素子

 電流誘起磁壁移動 (Nature 2004、引用223回、 Science 2007)	 磁化ベクトルの電界 制御 (Nature 2008)	 高速混載用2T1Rセル (VLSI2006)	 世界最高のトンネル 磁気抵抗比 (APL 2008)	 高熱安定性SPRAM 素子 (VLSI Circuit 2009)	 高速セル用低電流 形状差型素子 (JAP2009)	 垂直磁化電流誘起磁壁移動 素子 (VLSI2009)
--	--	--	---	--	---	--

材料

物理

 強磁性半導体の 開発 (APL 1996、 Science 1998、 Science 2000、 引用2301回)	 強磁性発現機構 制御 (Nature 2000、 引用3335回)	 磁気相転移の電気的 制御 (Nature 2000、 引用760回)	 第一世代MRAM材料・ インテグレーション技術 (VLSI2005)	 ホイスラー合金の世界 最高の磁気抵抗1275% (低温)を実現(2008)	 高速セル用低電流 形状差型磁性材料 (JAP2008)	 垂直磁化電流誘起 磁壁移動現象・ 材料 (JAP2008)
---	--	---	---	--	---	--

アピールポイント: 世界初ロジックインメモリ基本演算ユニット、世界最高速MRAM
世界最大容量SPRAM(2009年)、世界最高トンネル磁気抵抗比

どんな分野に応用できそうか: 様々な製品に搭載する半導体集積回路、たとえば
通信機器、コンピュータ、家電製品、自動車、医療機器、など

連絡先: 省エネルギー・スピントロニクス集積化システムセンター (CSIS)

メール: sien@csis.tohoku.ac.jp ホームページ: http://www.csis.tohoku.ac.jp/

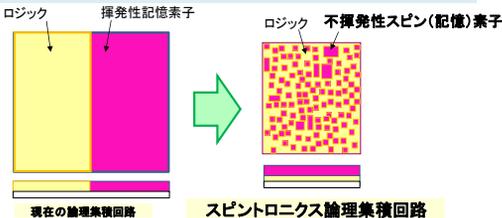
背景・応用分野



スピントロニクス論理集積回路によるエレクトロニクスの大変革
 +
世界のイノベーションサイクルが、日本を軸として回る体制の構築
 ↓
競争のルールを変えることで、産業競争力強化と人材拡充

スピントロニクス論理集積回路による大変革

スピントロニクス論理集積回路の融合により打破



1. スピン素子(記憶)が不揮発 ⇒ 低消費電力
2. スピン素子(記憶)を配線部に配置 ⇒ 面積減少⇒高性能、コスト減
3. スピン素子(記憶)とロジックが融合した回路 ⇒ 素子数減少⇒低消費電力、高性能、コスト減

省エネルギー、高性能、低コストにするにはパラダイムシフトが必要
 不揮発性スピン材料・素子が回路を大きく変革⇒**新しい回路設計体系を構築**
バックエンド(配線)が高い価値を創造

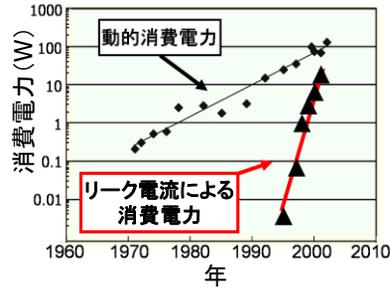
不揮発性スピン素子の優位性

“磁化”の方向で不揮発記憶を実現するスピントロニクス素子(磁気トンネル接合)のみが大変革を実現

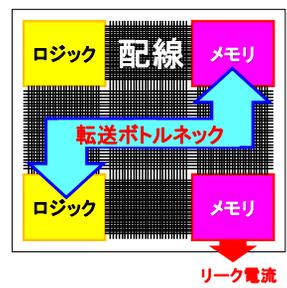
不揮発性素子の特徴	Flash	FRAM	スピントロニクス素子
アクセス時間	△	○	○
非破壊読出し	○	△	○
書込み耐性	×	△	○
微細化	○	△	○
低電圧	×	△	○

現在の論理集積回路の課題

消費電力の壁

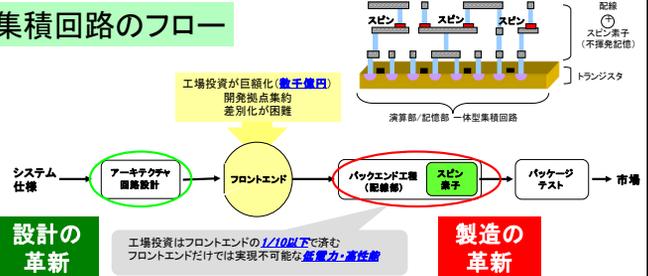


配線遅延の壁



スピントロニクス融合により論理集積回路の製造・設計を革新

集積回路のフロー

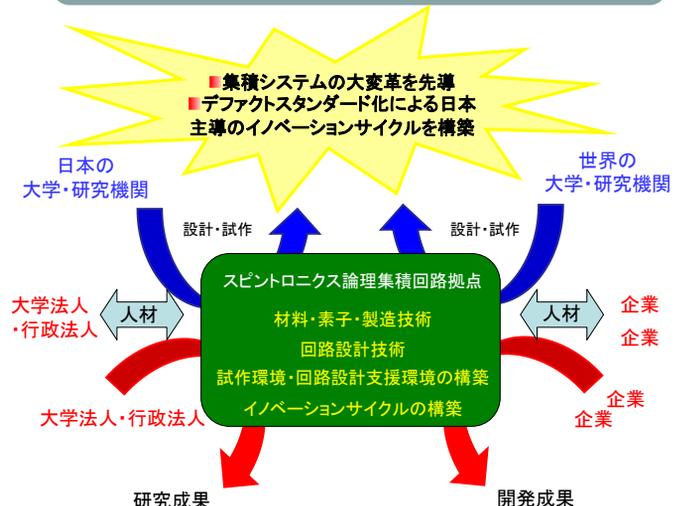


設計の革新

製造の革新

1. スピントロニクス材料・素子・製造技術および回路技術の統合体系の構築と回路実証
2. 世界中にサポーターを:国内外の先端回路設計者の実証参照
 →デファクトスタンダード化への体制

新プログラムの目標・まとめ



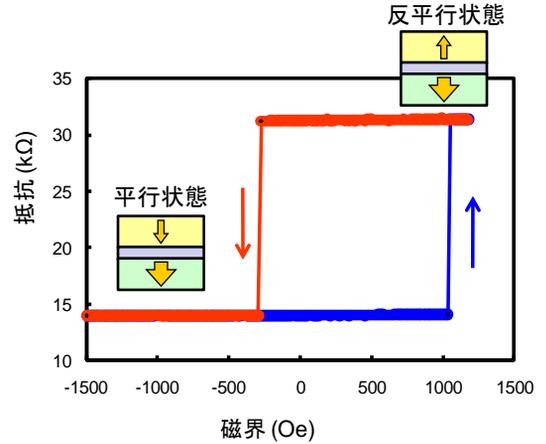
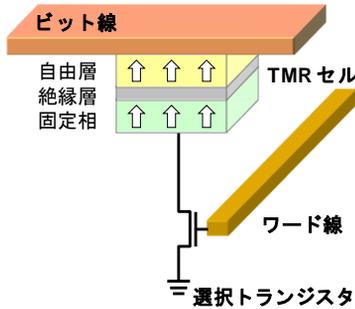
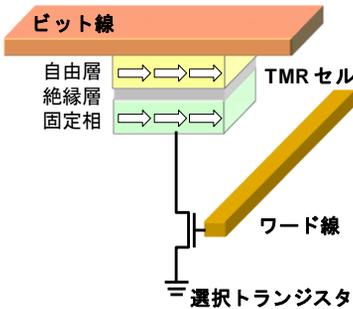
最近の成果

40nmφ高性能垂直磁化TMR素子の開発に成功

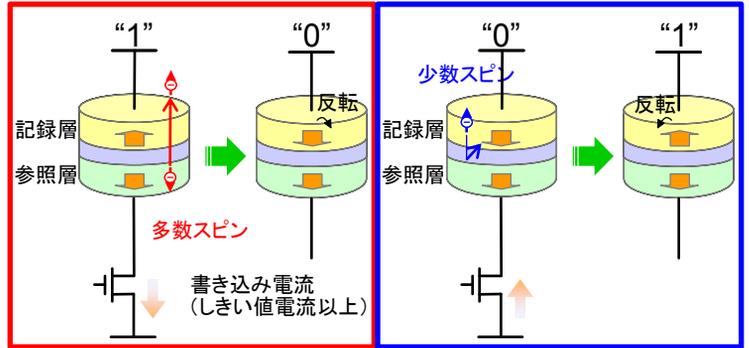
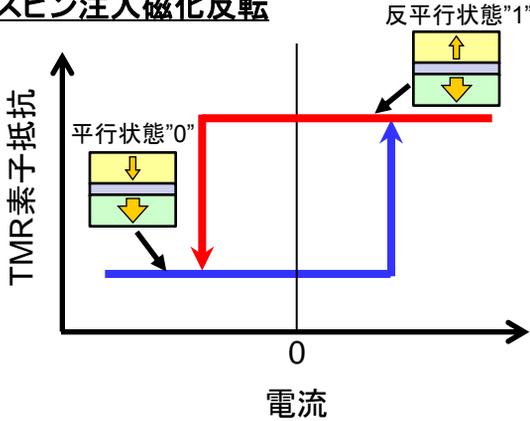
不揮発性スピントロニクス素子と半導体論理集積回路の融合により
超低消費電力システムオンチップの実現へ

面内異方性MTJ

垂直異方性MTJ



スピン注入磁化反転



記録層の磁化が入射スピンによりトルクを受け反転

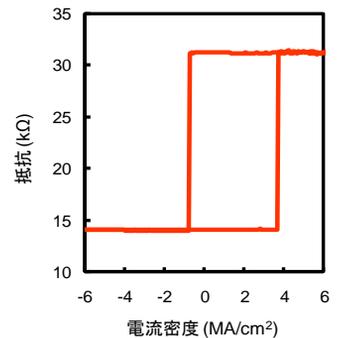
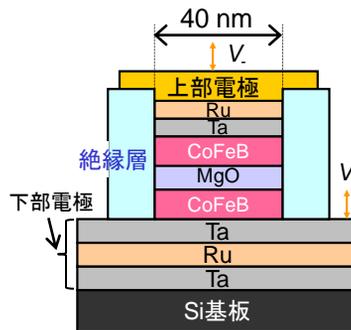
記録層の磁化が反射スピンによりトルクを受け反転

垂直TMR素子

求められる性能

- 大きな出力信号を得るための高いトンネル磁気抵抗比(100%以上)
- トランジスタのON電流以下の低い書き込み電流
- 高い不揮発性をもたらす高い熱擾乱耐性
- 半導体論理集積回路の製造工程で必要とされる350°C以上の熱処理温度耐性

	高TMR比	低電流書き込み	微細素子の熱擾乱耐性	熱処理耐性(350°C)
従来面内磁化TMR素子	○	○	×	○
従来垂直磁化TMR素子①	○	×	○	×
従来垂直磁化TMR素子②	×	○	○	×
本研究の素子	○	○	○	○



4つの要求性能を高いレベルで同時に満足する
40 nmφの高性能TMR素子の開発に成功